

РОССИЙСКАЯ ФЕДЕРАЦИЯ



ПАТЕНТ

НА ПОЛЕЗНУЮ МОДЕЛЬ

№ 148925

ВЫЧИСЛИТЕЛЬНЫЙ ЭЛЕМЕНТ БИМОДУЛЬНОЙ МОДУЛЯРНОЙ АРИФМЕТИКИ

Патентообладатель(ли): *Федеральное государственное бюджетное учреждение науки Институт проблем проектирования в микроэлектронике Российской академии наук (ИППМ РАН) (RU)*

Автор(ы): *см. на обороте*

Заявка № 2014110622

Приоритет полезной модели 20 марта 2014 г.

Зарегистрировано в Государственном реестре полезных моделей Российской Федерации 19 ноября 2014 г.

Срок действия патента истекает 20 марта 2024 г.

Врио руководителя Федеральной службы
по интеллектуальной собственности

Л.Л. Кирий





ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ТИТУЛЬНЫЙ ЛИСТ ОПИСАНИЯ ПОЛЕЗНОЙ МОДЕЛИ К ПАТЕНТУ

(21)(22) Заявка: 2014110622/08, 20.03.2014

(24) Дата начала отсчета срока действия патента:
20.03.2014

Приоритет(ы):

(22) Дата подачи заявки: 20.03.2014

(45) Опубликовано: 20.12.2014 Бюл. № 35

Адрес для переписки:

124365, Москва, г. Зеленоград, ул. Советская, 3,
Федеральное государственное бюджетное
учреждение науки ИППМ РАН

(72) Автор(ы):

Амербаев Вильжан Мавлютинович (RU),
Балака Екатерина Станиславовна (RU)

(73) Патентообладатель(и):

Федеральное государственное бюджетное
учреждение науки Институт проблем
проектирования в микроэлектронике
Российской академии наук (ИППМ РАН)
(RU)

(54) ВЫЧИСЛИТЕЛЬНЫЙ ЭЛЕМЕНТ БИМОДУЛЬНОЙ МОДУЛЯРНОЙ АРИФМЕТИКИ

(57) Формула полезной модели

Вычислительный элемент бимодульной модулярной арифметики, содержащий устройство управления, оперативное запоминающее устройство (ОЗУ), постоянное запоминающее устройство (ПЗУ), мультиплексор, отличающийся тем, что в состав вычислительного элемента введен арифметический узел, реализованный с помощью пяти мультиплексоров, двоичного сумматора, двух преобразователей «минус единица», преобразователя «минус p », преобразователя «минус $(p-1)$ », компаратора, логического блока, ПЗУ для хранения таблицы бимодульной пары, блока выходных регистров, причем выход устройства управления соединен с четвертым входом логического блока, управляющим входом ПЗУ для хранения таблицы бимодульной пары и управляющими входами первого, второго, четвертого и пятого мультиплексоров арифметического узла, сигнал с первого мультиплексора поступает соответственно на вход первого преобразователя «минус единица», первый вход двоичного сумматора и второй вход логического блока, сигнал со второго мультиплексора поступает соответственно на вход второго преобразователя «минус единица», второй вход двоичного сумматора и третий вход логического блока, выход первого преобразователя «минус единица» соединен с первым информационным входом третьего мультиплексора, выход второго преобразователя «минус единица» соединен с восьмым информационным входом третьего мультиплексора, выход двоичного сумматора соединен с входом преобразователя «минус p », входом преобразователя «минус $(p-1)$ », пятым информационным входом третьего мультиплексора и входом компаратора, выход преобразователя «минус p » соединен с третьим информационным входом третьего мультиплексора, выход преобразователя «минус $(p-1)$ » соединен с четвертым информационным входом третьего мультиплексора, а на второй, шестой и седьмой информационные входы третьего мультиплексора поступают константные значения,

выход компаратора соединен с первым входом логического блока, выход третьего мультиплексора соединен с информационным входом ПЗУ для хранения таблицы бимодульной пары и с первыми информационными входами четвертого и пятого мультиплексоров, выход ПЗУ для хранения таблицы бимодульной пары соединен со вторыми информационными входами четвертого и пятого мультиплексоров, выходы которых соединены с блоком выходных регистров, выход которого является выходом арифметического узла, при этом первый вход первого мультиплексора арифметического узла соединен с ПЗУ, второй вход первого и второго мультиплексоров арифметического узла соединены с ОЗУ, а выход блока выходных регистров соединен с первым информационным входом мультиплексора.

R U 1 4 8 9 2 5 U 1

О
СО
ОДЫ
ДОМ
КОГО
КОГО

RU 148925 U1

